فصلنامه مواد و فناوری‌های پیشرفته

Journal Homepage: www.jamt.ir

مقاله کامل پژوهشی

طراحی و شبیه‌سازی دیود اثر میدانی با تحرک الکترونی بالا مبتنی بر AlGaN/GaN

تارا غفوری [۱]، نگین معنوی زاده [۲*]، متینه سادات حسینی قیداری [۳]

[۱] دانشجوی دکتری، دانشکده مهندسی برق، دانشگاه صنعتی خواجه نصیرالدین طوسی، تهران، تهران، ایران

[۲] دانشیار، دانشکده مهندسی برق، دانشگاه صنعتی خواجه نصیرالدین طوسی، تهران، تهران، ایران

[۳] کارشناسی، دانشکده مهندسی برق، دانشگاه صنعتی خواجه نصیرالدین طوسی، تهران، تهران، ایران

تاریخچه مقاله:

ثبت اولیه: ۱۳۹۹/۰۷/۰۷

دریافت نسخهٔ اصلاح‌شده: ۱۳۹۹/۰۸/۳۰

پذیرش قطعی: ۱۴۰۰/۰۶/۳۱

کلیدواژه‌ها:

دیود اثر میدانی با تحرک الکترونی بالا،

نسبت جریان روشن به جریان خاموش،

پیوند ناهمگون،

نشت لایه بافر،

لایه جداساز

چکیده طراحان سیستم سعی دارند ملزومات بیشتری را در طراحی بلوکهای ساختاری روی تراشه‌های جدید بگنجانند تا مدارهای مجتمع دیجیتالی قابل اطمینان با چگالی بالا، سرعت کلیدزنی بالا و توان مصرفی پایین ارائه دهند. در این مقاله، افزاره جدیدی به نام «دیود اثر میدانی با تحرک الکترونی بالا» (HEMFED) برپایه AlGaN/GaN با موفقیت طراحی شد. به‌منظور جلوگیری از نشت لایه بافر GaN و کاهش تأثیر مخرب تله‌های این لایه بر رفتار انتقالی گاز الکترون دوبعدی (2-DEG) یک لایه جداساز AlN در ساختار ناهمگون به‌کار برده شد. با این ساختار پیشنهادی، نسبت جریان روشن به خاموش (I_{ON}/I_{OFF}) تا $۴/۸۸ \times ۱۰^{۷}$ برابر در مقایسه با همتای ترانزیستور با تحرک الکترونی بالا (HEMT) برپایه AlGaN/GaN، $۸/۲۰ \times ۱۰^{۸}$ برابر در مقایسه با همتای ترانزیستور اثر میدانی فلز-اکسید-نیمه‌هادی (MOSFET) و $۹/۰۵ \times ۱۰^{۴}$ برابر در مقایسه با همتای دیود اثر میدانی (FED) برپایه Si در ولتاژ تغذیه ۱/۸ ولت بهبود یافت. این برتری، از برقراری یک میدان الکتریکی قوی به میزان ۸۰۰ کیلوولت بر سانتیمتر در ناحیه 2-DEG ساختار ناهمگون پیشنهادی و تسریع حرکت حاملهای الکترون صفحه‌ای در کانال ناشی می‌شود. ازاین‌رو، این افزاره در کاربردهای دیجیتالی سرعت بالا و توان مصرفی پایین قابل استفاده است.

https://doi.org/10.30501/jamt.2021.249841.1125 URL: https://www.jamt.ir/article_126415.html

Original Research Article

Journal of Advanced Materials and Technologies (JAMT): Vol. 10, No. 2, (Summer 2021), 59-69

Design and Simulation of AlGaN/GaN High Electron Mobility Field-Effect Diode

Tara Ghafouri [1], Negin Manavizadeh [2*], Matineh Sadat Hosseini Gheidari [3]

[1] Ph. D. Student, Faculty of Electrical Engineering, K. N. Toosi University of Technology, Tehran, Tehran, Iran

[2] Associate Professor, Faculty of Electrical Engineering, K. N. Toosi University of Technology, Tehran, Tehran, Iran

[3] B. Sc., Faculty of Electrical Engineering, K. N. Toosi University of Technology, Tehran, Tehran, Iran

Paper History:

Received: 2020-09-28

Revised in revised form: 2020-11-20

Accepted: 2021-09-22

Abstract Modern system-on-chip (SoC) designers are trying to include more considerations in designing building blocks to present reliable integrated digital circuits as well as high-density, high-speed, and low-power ones. In this paper, an innovative device so-called High Electron Mobility Field-Effect Diode (HEMFED) is successfully designed based on AlGaN/GaN. To prohibit leakage of GaN buffer layer and

***عهده دار مکاتبات**

نشانی: ایران، تهران، تهران، دانشگاه صنعتی خواجه نصیرالدین طوسی، دانشکده مهندسی برق، **تلفن:** ۰۲۱-۸۴۰۶۲۳۲۵، **دورنگار:** ۰۲۱-۸۴۰۶۲۳۲۵

پیام نگار: manavizadeh@kntu.ac.ir

Please cite this article as: Ghafouri, T., Manavizadeh, N., Hosseini Gheidari, M. S., "Design and simulation of AlGaN/GaN high electron mobility field-effect diode", ***Journal of Advanced Materials and Technologies (JAMT)***, Vol. 10, No. 2, (2021), 59-69. (https://doi.org/10.30501/jamt.2021.249841.1125).

2783-0829/© 2021 The Author(s). Published by MERC.

This is an open access article under the CC BY license (https://creativecommons.org/licenses/by/4.0/).

Keywords:
High Electron Mobility Field-Effect Diode (HEMFED),
I_{ON}/I_{OFF} Ratio,
Heterojunction,
Buffer Layer Leakage,
Spacer Layer

weaken the impact of the buffer traps on electrical transport properties of two-dimensional electron gas (2-DEG), AlN spacer layer is embedded in the heterostructure. The proposed structure enhances ION/IOFF ratio up to 4.88×10^7 times compared to the AlGaN/GaN High Electron Mobility Field-Effect Transistor (HEMT) counterpart, 8.20×10^8 times compared to the Metal-Oxide-Semiconductor Field-Effect Transistor (MOSFET) counterpart, and 9.05×10^4 times compared to the Si Field-Effect Diode (FED) counterpart, at a supply voltage of VDD = 1.8 V. This superiority of the proposed device is referred to the formation of a strong electric field of 800 kV/cm in 2-DEG and the precipitation of electron sheet carriers in the channel. Accordingly, the proposed device can be utilized in high-speed and low-power digital applications.

https://doi.org/10.30501/jamt.2021.249841.1125 URL: https://www.jamt.ir/article_126415.html

۱- مقدمه

ترانزیستورهای با تحرک الکترونی بالا[1] (HEMTs) از پیوند ناهمگون بین دو نیمه‌هادی با شکاف باند انرژی متفاوت تشکیل شده‌اند. این تفاوت زیاد در شکاف انرژی دو ماده به ایجاد نوعی ناپیوستگی بزرگ در نوار هدایت با رفتاری مشابه چاه کوانتومی منجر می‌شود که باربرهای با تحرک بسیار بالا از آن عبور می‌کنند (گاز الکترونی دوبُعدی[2] (2-DEG)) [۱]. به‌منظور کمینه‌سازی پراکندگی سطحی، ثابت شبکه بلوری هر دو نیمه‌هادی، باید یکسان باشد. در میان ساختارهای ارائه‌شده، ساختارهای ناهمگون نیتریدی، به‌دلیل بازه وسیع شکاف باند، تحرک بالای الکترون، ولتاژ شکست بالا، چگالی بار صفحه‌ای بالا، رسانایی حرارتی بالا و قطبش پیزوالکتریکی از اهمیت ویژه‌ای برخوردارند [۲]. تاکنون، تلاش‌های فراوانی برای بهبود عملکرد این ساختارها انجام شده است. چن[3] و همکاران [۳]، یک دیود اثر میدانی[4] (FED) یکسوساز سازگار با HEMT AlGaN/GaN پیشنهاد دادند که با اتصال آند دیود به گیت شاتکی HEMT، ولتاژ روشنایی یکسوساز (به‌جای تغییر با سد شاتکی[5]) با ولتاژ آستانه HEMT تنظیم می‌شد و بدین‌ترتیب، به ولتاژ شکست بالایی دست یافتند. همچنین لی[6] و همکاران [۴]، یک دیود سد شاتکی مبتنی بر GaN روی یک لایه بافر متشکل از کامپوزیت AlGaN/AlN ساختند که به کاهش جریان نشتی تا حدود ۰/۲ میکروآمپر، کمک می‌کرد. در دیودهای سد شاتکی اثر میدانی افقی و عمودی با ساختار ناهمگون AlGaN/GaN گزارش‌شده توسط یوشیدا[7] و همکاران [۵]، از یک پشته فلزی Al/Ti برای ایجاد سد شاتکی با ارتفاع کم (به‌منظور دستیابی به ولتاژ روشنایی پایین) و Pt/Au برای ایجاد سد شاتکی مرتفع‌تر (به‌منظور دستیابی به ولتاژ شکست بالا) استفاده شد و بنابراین، نیازمند مراحل ساخت پیچیده‌تری بود. از طرفی، ورود لایه نازک AlN، به حذف اثر پراکندگی ناشی از ناهمواری فصول مشترک و درنتیجه، بهبود خواص انتقالی 2-DEG کمک می‌کرد [۶ و ۷] که در پژوهش حاضر نیز این رویکرد مؤثر به‌کار رفته است.

در ترکیبات گروه III-V، با وجود مزایای اشاره‌شده در مقایسه با فناوری مبتنی بر سیلیکون، با کوچک‌سازی طول گیت به محدوده زیر ۱۰۰ نانومتر، تأثیر کانال کوتاه در هر دو افزاره ترانزیستور اثر میدانی فلز-اکسید-نیمه‌هادی (MOSFET)[8] و HEMT پدیدار می‌شود و با تضعیف کنترل گیت بر کانال، عملکرد این ادوات تحت تأثیر قرار می‌گیرد. بر این اساس، اخیراً ساختارهایی به‌منظور فائق‌آمدن بر آثار ناشی از کاهش مقیاس این ادوات پیشنهاد شده‌اند. از جمله آن‌ها، ترانزیستورهای با پیوند ناهمگون گرافن/مولیبدن دی‌سولفید[9] [۸]، ترانزیستورهای اثر میدانی چندگیتی و تونلی اصلاح‌شده[10] [۹-۱۴] و افزاره‌های مبتنی بر نانوساختارهایی نظیر نانولوله سیلیکونی[11] [۱۵ و ۱۶] و نانولوله کربنی[12] [۱۷]، نانونوار گرافن[13] [۱۸ و ۱۹]، نانوسیم گالیم نیترید[14] [۲۰] و نانوذرات اکسید روی[15] [۲۱] هستند. در میان افزاره‌های پیشنهادی، دیود اثر میدانی سیلیکونی [۲۲]، ضمن تقویت کنترل‌پذیری گیت بر کانال، بسیاری از ویژگی‌های الکتریکی افزاره را در مقایسه با همتای CMOS[16] بهبود داده است. از جمله این پارامترها، نسبت بالای I_{ON}/I_{OFF} در FED است که با اتلاف توان کمتر و

[1] High-Electron Mobility Transistor
[2] Two-Dimensional Electron Gas
[3] Chen
[4] Field-Effect Diode
[5] Schottky Barrier
[6] Lee
[7] Yoshida

[8] Metal-Oxide Semiconductor Field-Effect Transistor
[9] Graphene/Molybdenum Disulfide
[10] Multi-Gate/Tunel Field-Effect Transistor (MG/TFET)
[11] Silicon Nanowire
[12] Carbon Nanotube
[13] Graphene Nanoribbon
[14] Gallium Nitride Nanowire
[15] Zinc Oxide Nanoparticles
[16] Complementary Metal-Oxide-Semiconductor

حاصل ضرب انرژی در تأخیر (EDP)[1] همراه است. این نسبت برای نمونه‌های SOI-FED[2]، به‌دلیل رخ‌ندادن انسداد و تأثیر الکترون داغ، حداقل به اندازه ۲ مرتبه بزرگ‌تر از نمونه‌های SOI-MOSFET متناظر است [۲۳]. همچنین، پاسخ کلیدزنی سریع بین حالات روشن و خاموش افزاره، به‌دلیل زمان کوتاه تأخیر گیت ذاتی، به کمک FED حاصل می‌شود [۲۴]. این دو مؤلفه مهم (فرکانس بالا و توان مصرفی پایین) سبب شده تا این افزاره نانومقیاس در بلوک‌های ساختاری مدارهای مجتمع دیجیتال به‌کار رود [۲۵]. از جمله مدارهای طراحی‌شده به کمک FED می‌توان به مدارهای محافظت تخلیه الکترواستاتیکی [۲۶]، مدل‌سازی گیت‌های منطقی [۲۷]، مالتی پلکسر [۲۸]، حافظه‌های TRAM[3] [۲۹]، SRAM[4] [۳۰ و ۳۱] و DRAM[5] [۳۲] اشاره کرد. قابل ذکر است تمامی افزاره‌های FED واقع در یک تراشه واحد، هم‌زمان، توسط فرایندهای ساخت سازگار با CMOS حاصل می‌شوند [۲۷].

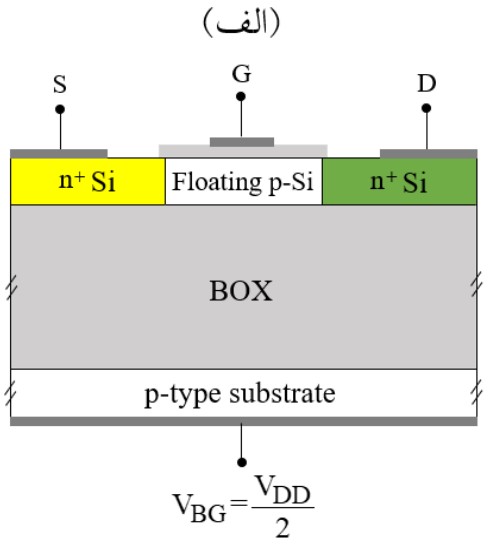
در این پژوهش، برای نخستین‌بار، افزاره‌ای مبتنی بر ترکیبات نیتریدی پیشنهاد شده است که ضمن حذف تأثیر نامطلوب ناشی از کوچک‌سازی ادوات MOSFET و HEMT مرسوم، سرعت کلیدزنی بالاتر با قابلیت استفاده در مدارهای دیجیتالی با چگالی بالا را محقق می‌سازد.

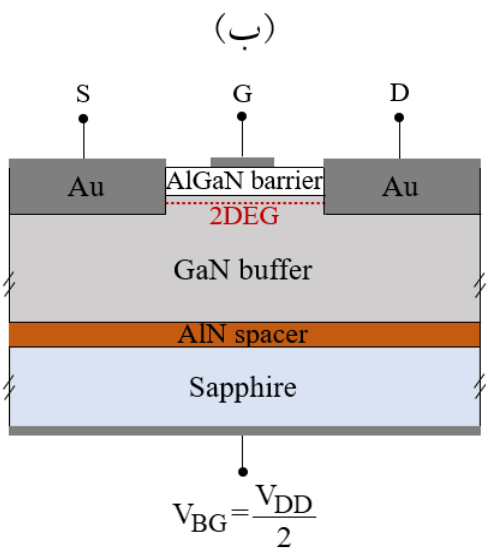
۲- ساختار افزاره و پارامترهای شبیه‌سازی

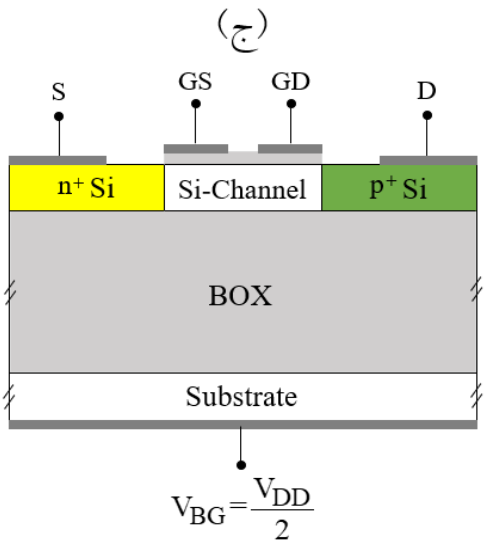
ساختار یک FED مشابه ساختار MOSFET است، با این تفاوت که در قسمت بالای کانال، دو گیت مجزا (GS و GD) قرار گرفته و نواحی سورس و درین، آلایش متفاوتی دارند؛ به این صورت که آلایش ناحیه درین از نوع p^+ و ناحیه سورس از نوع n^+ است [۲۳]. FED قادر است به‌عنوان عنصر تقویت‌کننده یا کلید دیجیتالی عمل کند تا ولتاژ خروجی با ولتاژهای گیت، مدوله شده و با تنظیم ولتاژ گیت‌ها به‌طور مناسب، از انعطاف‌پذیری و کنترل بالایی بر نواحی زیر گیت‌ها برخوردار باشد [۲۵]. هریک از این نواحی، در اثر القای حامل‌ها توسط یکی از گیت‌ها در کانال آلایش‌نشده FED ایجاد می‌شود و با اعمال ولتاژ به گیت‌ها، می‌توان نوعی پیوند pn القایی با قابلیت تنظیم حامل‌ها تشکیل داد. لایه نیمه‌هادی، ذاتی و به اندازه کافی نازک است تا اثر مقاومت شانت در زیر کانال بین سورس و درین کاهش یابد. ساختار پیشنهادی AlGaN/GaN HEMFED نیز مشابه ساختار AlGaN/GaN HEMT دوگیتی است و نواحی سورس و درین از جنس GaN دارای آلایش‌های سنگین n^+ و p^+ هستند. ورود لایه جداساز AlN در ساختار ناهمگون به افزایش عمق چاه کوانتومی و به دنبال آن، کاهش پراکندگی (شامل ناهمواری‌های فصل مشترک، پراکندگی ناخالصی بدنه و ...)، بهبود تحرک باربرهای الکترونی در کانال 2-DEG و افزایش I_{ON} کمک می‌کند [۶]. اتصال گیت شاتکی به AlGaN، دارای ولتاژ داخلی بیشتری در مقایسه با اتصال مشابه در GaN است. بنابراین، چنین ساختاری کاهش نویز را تضمین می‌کند [۳۳]. همچنین، شکاف باند انرژی کوچک‌تر GaN در مقایسه با AlGaN، ایجاد اتصال اهمی با مقاومت پایین به نواحی سورس و درین GaN در افزاره پیشنهادی را محقق می‌سازد. طرحواره ساختارهای مذکور در شکل ۱ ترسیم شده است. پارامترهای هندسی MOSFET و FED براساس فناوری ۱۸۰ نانومتر [۳۴] اتخاذ شده است که یکی از ویژگی‌های آن، تطابق بازه مجاز ولتاژهای کاری با ولتاژهای منطقی استاندارد است. در افزاره Si-FED و ساختار پیشنهادی AlGaN/GaN HEMFED، طول سورس/درین برابر با ۲۲۰ نانومتر، طول گیت‌های GS و GD برابر با ۸۷ نانومتر و فاصله بین آن دو، ۵ نانومتر است. ضخامت لایه‌های حائل AlGaN، بافر GaN، جداساز AlN و زیرپایه یاقوت کبود[6] در ادوات HEMT و HEMFED، به‌ترتیب، برابر با ۱۵، ۱۶۰، ۱۵ و ۱۰۰ نانومتر است. طول وعرض تمامی افزاره‌های مورد بررسی، به‌ترتیب، ۶۲۰ نانومتر و ۱ میکرومتر درنظر گرفته شده است. در افزاره‌های سیلیکونی مورد بررسی، غلظت آلایش Si، در نواحی سورس/درین، 10^{19} بر سانتی‌مترمکعب و در کانال FED، ذاتی یا با آلایش سبک درنظر گرفته می‌شود. در افزاره‌های مورد بررسی با ساختار ناهمگون، غلظت آلایش GaN در نواحی سورس/درین، 10^{21} بر سانتی‌مترمکعب و در لایه بافر، 10^{14} بر سانتی‌مترمکعب است. غلظت آلایش‌دهنده

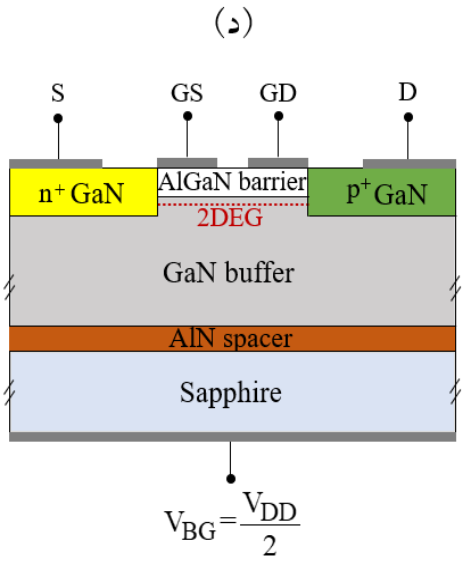
[1] Energy-Delay Product
[2] Silicon-On-Insulator-Field-Effect Diode
[3] Thyristor Random-Access Memory
[4] Static Random-Access Memory
[5] Dynamic Random-Access Memory
[6] Sapphire

AlGaN نیز 10^{16} بر سانتی‌مترمکعب است. در تمام افزاره‌های مورد بررسی، ولتاژهای تغذیه توان پایه و گیت پشتی، به‌ترتیب، ۱/۸ و ۰/۹ ولت است و شبیه‌سازی‌ها در دمای ۲۷ درجه سلسیوس انجام می‌شوند.









شکل ۱. طرحواره ساختارهای (الف) n-MOSFET، (ب) AlGaN/GaN HEMT، (ج) Si-FED و (د) AlGaN/GaN HEMFED

شبیه‌سازی‌ها با استفاده از ابزار Silvaco TCAD، برای حل مسائل مربوط به نفوذ-رانش در نیمه‌هادی و به‌منظور طراحی افزاره پیشنهادی انجام می‌شوند. مدل‌های فیزیکی، شامل تحرک وابسته به غلظت، تحرک وابسته به میدان‌های الکتریکی عرضی، مدل‌های بازترکیب شاکلی-رید-هال[1] و اوژه[2]، مدل‌های وابسته به تابع فرمی-دیراک[3]، باریک‌کردن شکاف باند و مدل لمباردی سی وی تی[4]، برای بسط مؤلفه‌های مربوط به تحرک باربرها هستند [۳۵]. عبور باربرها از یک چاه الکترون دوبُعدی بسیار نازک و کوانتیزه‌شدن کانال در جهت y در ادوات AlGaN/GaN HEMT مرسوم و AlGaN/GaN HEMFED پیشنهادی، می‌تواند موجب ظهور آثار کوانتومی نظیر پیدایش سطوح انرژی مجاز و زیرباندهایی در راستای کوانتیدگی شود [۳۶]. ازاین‌رو، در شبیه‌سازی این دو افزاره، از مدل‌های کوانتومی شرودینگر-پواسون و ون‌دورت[5] نیز، در کنار مدل‌های مذکور، استفاده شده است. ابعاد هندسی و پارامترهای فیزیکی به‌کاررفته در این پژوهش، با شبیه‌سازی افزاره‌های FED و MOSFET، مطابق مرجع [۳۱]، کالیبره شدند.

[1] Shockley-Read-Hall
[2] Auger
[3] Fermi-Dirac
[4] Lombardi CVT
[5] Van Dort

ساختار ناهمگون AlGaN/GaN HEMFED پیشنهادی، قابلیت اجرای عملی نیز دارد. با رشد لایه‌های بلوری AlN، GaN با آلایش غیرعمدی[1] و AlGaN با آلایش نوع n (مانند Si)، به‌ترتیب، روی یک بستر یاقوت کبود، سیلیکون کاربید و یا سیلیکون، به شیوه رشد بلوری[2] نظیر لایه‌نشانی شیمیایی بخار آلی فلزی[3] در دماهای بالا (۱۱۰۰-۱۲۰۰ درجه سلسیوس) یا برآرایی به روش پرتو مولکولی[4] مشابه فرایند ساخت یک نمونه همتای AlGaN/GaN HEMT گزارش‌شده در مرجع [۳۷]، می‌توان افزاره پیشنهادی را درعمل محقق کرد. در چنین آرایشی، یک لایه گاز الکترون دوبُعدی در نزدیکی فصل مشترک بین GaN و AlGaN در سمت GaN، به‌دلیل اختلاف شکاف باند انرژی میان این دو ماده، تشکیل می‌شود. به کمک زدایش انتخابی، پنجره‌هایی در نواحی سورس و درین باز می‌شوند (به کمک زدایش یون فعال[5] با استفاده از گاز BCl_3، بدنه نیمه‌هادی عمیق‌تر از لایه n-AlGaN و لایه 2-DEG درون UID-GaN، مطابق شکل ۱ (د)، زدایش می‌شود). به دنبال آن، لایه‌های n^+-GaN و p^+-GaN با رشد بلوری مجدد، به روش MOCVD، مناطق زدایش‌شده مجاور بخش محدب ایجادشده از مرحله قبل را اشغال می‌کنند. سپس، یون‌هایی نظیر آرگون به‌طور انتخابی کاشته می‌شوند تا بدین‌وسیله باربرهای موجود در مناطق خارج از ناحیه فعال GaN HEMFED را به‌منظور عایق‌سازی افزاره، جبران کنند. درنهایت، الکترودهای سورس/درین و گیت‌های GS و GD با فرایند لیفت-آف[6]، به دنبال روش لایه‌نشانی فیزیکی بخار[7] و ترمیم حرارتی، اجرا می‌شوند.

براساس ولتاژهای اعمالی به پایانه‌های FED، پنج حالت کاری مطابق جدول ۱ درنظر گرفته و وضعیت افزاره مشخص می‌شود. به‌منظور بایاس FED در وضعیت خاموش (شکل‌گیری ساختار n^+pnp^+ یا p^+npn^+ از سورس تا درین، بسته به علامت V_{DS}) و وضعیت روشن (شکل‌گیری ساختار n^+npp^+ یا p^+pnn^+ از سورس تا درین بسته به علامت V_{DS})، ولتاژهای $-V_{DD}$ و $+V_{DD}$ متناظر با منطق «۰» و «۱»، درحالی‌که هیچ ولتاژی به ترمینال گیت پشتی وارد نشود (V_{BG}=۰)، به پایانه گیت جلویی اعمال می‌شوند. در طراحی مدارهای مجتمع دیجیتالی با مقیاس بسیار بزرگ (VLSI)[8] مبتنی بر FED، با اعمال نصف ولتاژ تغذیه به گیت پشتی نیز می‌توان حالت‌های عملکردی مذکور را محقق ساخت. مزیت این رویکرد ($V_{BG}=V_{DD}/2$) این است که دیگر نیازی به اعمال ولتاژهای متقارن به پایانه گیت جلویی نیست و این بار، منطق‌های «۰» و «۱»، به‌ترتیب، معادل ۰ و V_{DD} هستند. بدین‌ترتیب، توان مصرفی مدار نیز کاهش می‌یابد [۲۲].

جدول ۱. حالت‌های کاری دیود اثر میدانی و ساختار از S تا D

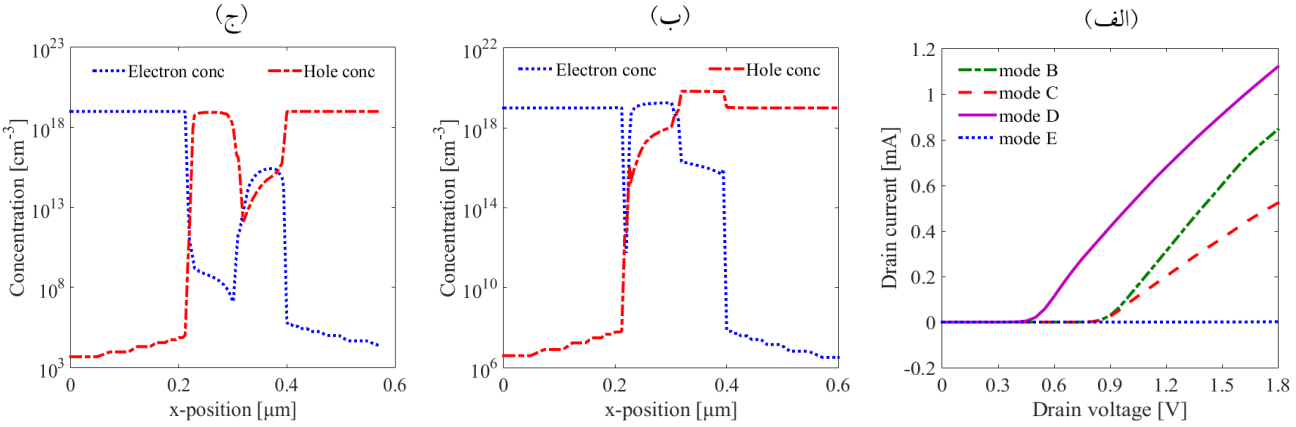
وضعیت	ساختار	V_{GD}	V_{GS}	V_{DS}	حالت
خاموش	$n^+\times\times p^+$	×	×	"۰"	A
روشن	n^+npp^+	"۰"	"۱"	"۱"	B
روشن	n^+nnp^+	"۱"	"۱"	"۱"	C
روشن	n^+ppp^+	"۰"	"۰"	"۱"	D
خاموش	n^+pnp^+	"۱"	"۰"	"۱"	E

۳- نتایج و بحث

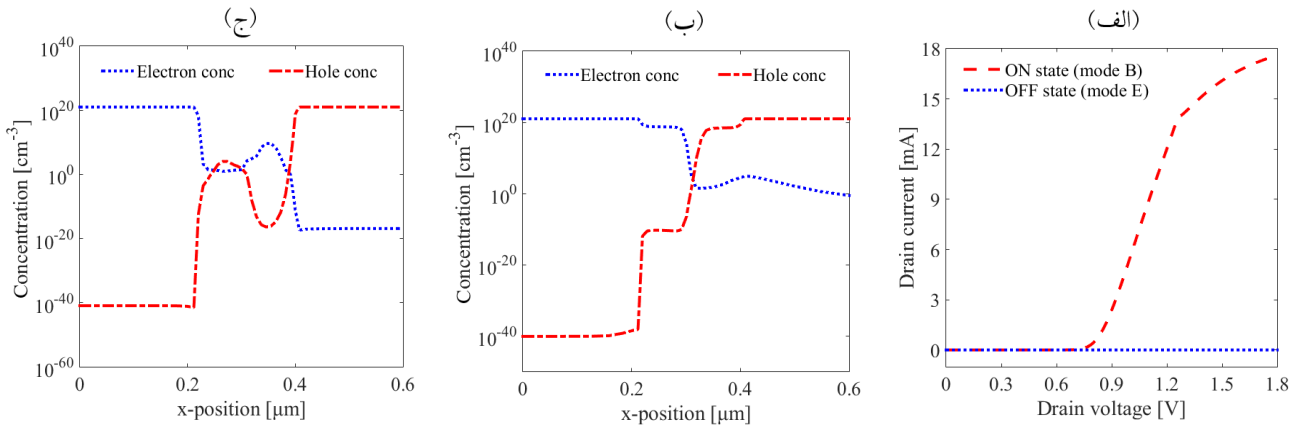
با توجه به ویژگی‌های ساختاری و حالت‌های کاری FED، افزاره پیشنهادی در مقایسه با آرایش ترانزیستورهای اثر میدانی دوگیتی مزایای زیر را دارد: مطابق حالت‌های n^+nnp^+ و n^+ppp^+ در جدول ۱، امکان مدل‌سازی رفتار شبه nMOS و شبه pMOS، به‌ترتیب، به کمک این افزاره فراهم می‌شود، به‌طوری که حالت‌های B، C و D را می‌توان متناظر با حالت خطی درنظر گرفت و حالت D را متناظر با حالت قطع ترانزیستور اثر میدانی پنداشت (شکل ۲ (الف)). در این میان، به‌دلیل این‌که در حالت خطی B در مقایسه با سایر حالت‌های روشن، احتمال کمتری برای بازترکیب حامل‌های الکترون و حفره در کانال ساختار n^+npp^+ وجود دارد، این حالت بر سایر حالت‌ها برتری دارد. بنابراین، ادامه شبیه‌سازی‌ها با درنظرگرفتن حالت B به‌عنوان وضعیت روشن و حالت E به‌عنوان وضعیت خاموش افزاره انجام می‌شود. نمودارهای تراکم الکترون و حفره در حالت‌های کاری Si-FED در شکل

[1] Unintentionally Doped (UID) GaN
[2] Epitaxially Crystal Growth
[3] Metal Organic Chemical Vapor Deposition (MOCVD)
[4] Molecular Beam Epitaxy (MBE)
[5] Reactive Ion Etching (RIE)
[6] Lift-Off
[7] Physical Vapor Deposition (PVD)
[8] Very Large-Scale Integration

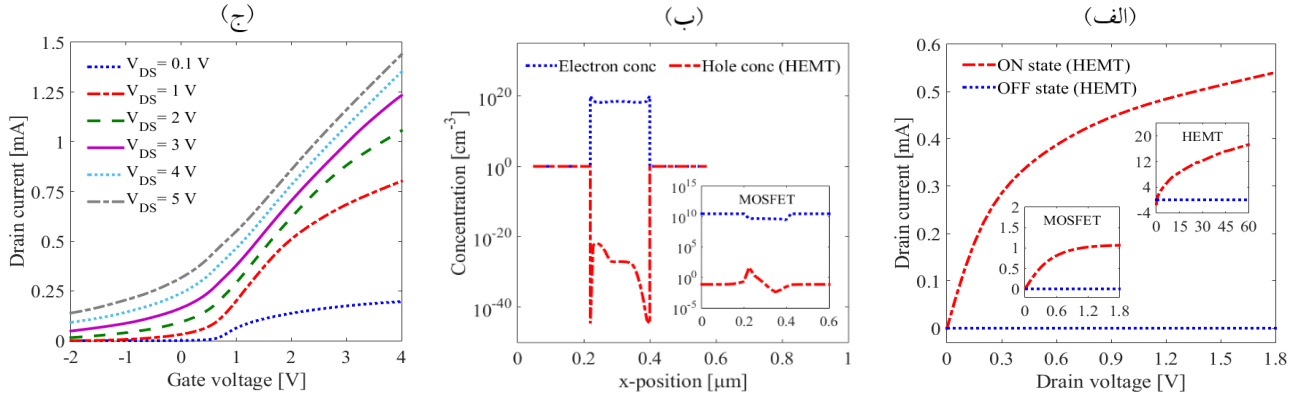
۲ (ب) و (ج) و در فاصله ۱ نانومتری زیر گیت‌های GS و GD، از سورس تا درین، ترسیم شده‌اند. جریان خروجی در ساختارهای ناهمگون به تراکم حامل‌ها و تحرک آن‌ها وابسته است. از مقایسه ویژگی‌های خروجی ساختارهای Si-FED و AlGaN/GaN HEMFED در شکل‌های ۲ (الف) و ۳ (الف)، نتیجه می‌شود که جریان حالت روشن در افزاره پیشنهادی، در $V_{DS}=V_{DD}$، تا ۱۵ برابر افزایش داشته که از تحرک بالاتر الکترون‌ها در ساختار ناهمگون HEMFED ناشی شده است. نمودارهای تراکم حامل‌های الکترون و حفره، در فاصله ۱ نانومتری زیر لایه AlGaN، از سورس تا درین، در حالت‌های روشن و خاموش در شکل ۳ (ب) و (ج) نمایش داده شده‌اند.



شکل ۲. (الف) ویژگی خروجی و تراکم حامل‌ها در کانال Si-FED در حالت‌های کاری، (ب) روشن (B) و (ج) خاموش (E)



شکل ۳. (الف) ویژگی خروجی و تراکم حامل‌ها در کانال AlGaN/GaN HEMFED در حالت‌های کاری، (ب) روشن (B) و (ج) خاموش (E)



شکل ٤. (الف) ویژگی خروجی، (ب) تراکم حامل‌ها در کانال GaN HEMT و MOSFET و (ج) ویژگی انتقالی HEMT در V_{DS} های متفاوت

مقایسه ویژگی‌های خروجی افزاره HEMFED با نمونه‌های متناظر ترانزیستور اثر میدانی MOSFET و HEMT در شکل‌های ۳ (الف) و ٤ (الف)، حاکی از افزایش جریان حالت روشن افزاره پیشنهادی، به‌ترتیب، تا ۱۷ و ۳۳ برابر در $V_{DS}=V_{DD}$ است. در جدول ۲، کمیت‌های عددی جریان حالت روشن، جریان حالت خاموش و نسبت آن‌ها ارائه شده است که قابلیت کلیدزنی هر چهار افزاره مورد بررسی در این کار را نشان می‌دهد. در ولتاژی معین، ساختار ناهمگون AlGaN/GaN HEMFED بیشترین جریان خروجی را حاصل کرده است که نشان می‌دهد این افزاره، علاوه بر قابلیت عملکرد به‌عنوان کلید دیجیتالی (به‌دلیل نسبت I_{ON}/I_{OFF} بالا)، به‌عنوان عامل تقویت‌کننده جریان مستقیم نیز می‌تواند به‌کار رود. تراکم باربرهای الکترون و حفره در کانال این ادوات در شکل ٤ (ب) ترسیم شده است. مطابق شکل ٤ (ج)، در مقادیر پایین V_{DS}، ولتاژ آستانه در GaN HEMT مرسوم حدود ۲- تا ۱- ولت است که در نمونه متناظر HEMFED، تا حدود ۰/۷ ولت افزایش می‌یابد، درنتیجه، مقاومت در برابر نویز را تضمین کرده و با کاهش جریان زیر آستانه، از اتلاف توان جلوگیری می‌کند. تلفات توان در نتیجه نسبت I_{ON}/I_{OFF} بالا، کاهش می‌یابد، ضمن این‌که حذف تغذیه توان با پلاریته[1] منفی در کاهش توان مصرفی نیز تأثیر مطلوبی خواهد گذاشت.

جدول ۲. مقایسه جریان‌های حالت خاموش، روشن و نسبت آن‌ها در افزاره‌های مورد بررسی در ابعاد فناوری ۱۸۰ نانومتر

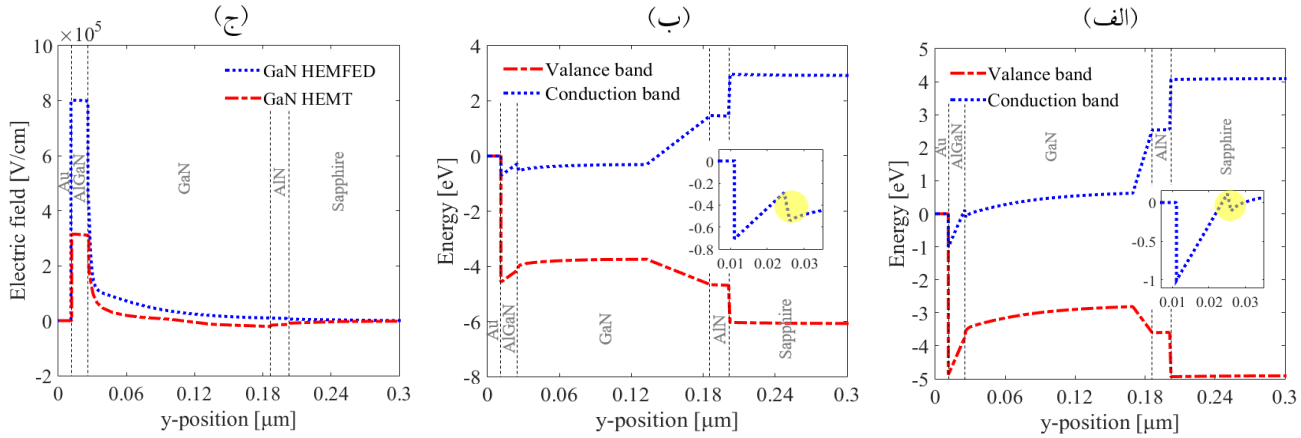
ساختار	nMOS	FED	HEMT	HEMFED
I_{OFF} (nA)	۱۵۰/۰۰	۰/۰۱	۱۲/۰۰	$۱/۹\times۱۰^{-٦}$
I_{ON} (mA)	۱/۱۰	۰/۸۵	۰/۵٤	۱۷/۰۰
I_{ON}/I_{OFF}	$۱/٤\times۱۰^{٤}$	$۱/۲\times۱۰^{۸}$	$۲/۳\times۱۰^{۵}$	$۱/۱\times۱۰^{۱۳}$

نمودار نوارهای انرژی در ساختارهای HEMFED پیشنهادی و HEMT متناظر، به‌ترتیب، در شکل ۵ (الف) و (ب) نمایش داده شده است. کانال 2-DEG، در فصل مشترک GaN و AlGaN، در پیوست شکل ۵ (الف) و (ب) برجسته شده است. اختلاف انرژی بزرگ‌تر در نوار هدایت AlGaN افزاره پیشنهادی HEMFED، در مقایسه با نمونه متناظر HEMT، به پراکندگی کمتر ناخالصی یونیزه شده اشاره دارد که به جریان بیشتر افزاره می‌انجامد. افزایش میدان الکتریکی عرضی در این ناحیه و در ساختار HEMFED تا بیش از ۲/۵ برابر در مقایسه با همتای HEMT نیز حاکی از سرعت بالاتر الکترون‌ها در کانال HEMFED است که امکان عملکرد مطلوب آن را در کاربردهای فرکانس بالا تحقق می‌بخشد (شکل ۵ (ج)).

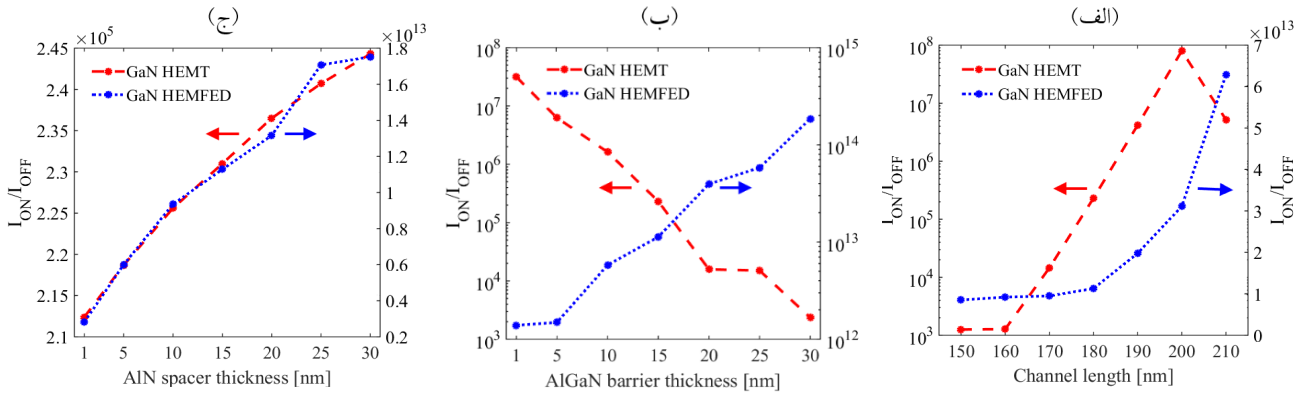
در شکل ٦، معیار عملکردی I_{ON}/I_{OFF}، با تغییر ابعاد هندسی افزاره‌های مورد بررسی نشان داده شده است. با افزایش طول کانال افزاره‌های HEMT و HEMFED، احتمال بازترکیب حامل‌های اقلیت افزایش یافته و بنابراین، I_{OFF} کاهش و I_{ON}/I_{OFF} افزایش می‌یابد. با وجود این، افزایش نسبت I_{ON}/I_{OFF} با طول کانال در افزاره پیشنهادی HEMFED در مقایسه با HEMT مرسوم قابل توجه است. در افزاره‌هایی با کانال طویل، با اعمال V_{DS} ثابت، میدان الکتریکی اعمالی به باربرها در طول کانال کاهش یافته و بدین‌ترتیب، I_{ON} و نسبت I_{ON}/I_{OFF} نیز کاهش می‌یابد (شکل ٦ (الف)). درواقع، این افزایش طول کانال، از سرعت الکترون‌هایی که پیش از این، به‌صورت شبه‌بالستیک از چاه الکترون دوبُعدی گذر می‌کردند، می‌کاهد. مطابق شکل ٦ (ب)، تأثیر ضخامت لایه AlGaN بر رفتار انتقالی حامل‌ها در افزاره‌های HEMT و HEMFED متفاوت است. در ساختار HEMT مرسوم، با اعمال ولتاژ گیت ثابت و افزایش سد AlGaN و فاصله‌گرفتن بارهای قطبش در این لایه، شدت میدان الکتریکی عرضی زیر گیت کاهش می‌یابد که این امر به تضعیف کنترل گیت بر کانال می‌انجامد و تأثیر نامطلوبی بر قابلیت کلیدزنی افزاره (افزایش I_{OFF}) خواهد داشت. اما در افزاره HEMFED، ضمن کنترل مؤثرتر گیت‌های GS و GD بر کانال و تقلیل این تأثیر نامطلوب، با توجه به اختلاف بزرگ‌تر انرژی نوار هدایت و تشکیل چاه کوانتومی عمیق‌تر در AlGaN، مطابق شکل ۵ (الف)، از پراکندگی باربرها کاسته می‌شود و I_{ON} افزایش می‌یابد. درواقع، افزایش میدان الکتریکی عرضی تشکیل شده در این لایه افزاره HEMFED (شکل ۵ (ج))، به هدایت و تجمع بیشتر الکترون‌ها در کانال 2-DEG کمک می‌کند. به‌منظور کاهش اثر تله‌های لایه بافر بر رفتار انتقالی افزاره و دستیابی به تحرک

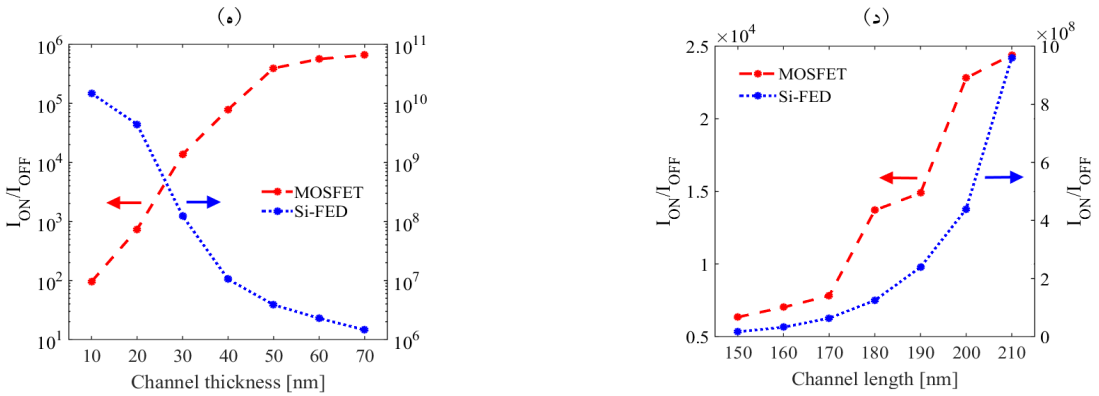
[1] Polarity

بالاتر، یک لایه نازک AlN، درون ساختار تعبیه شده است. به عبارتی، ورود این لایه جداساز به افزایش عمق چاه کوانتومی، کاهش پراکندگی و افزایش تحرک حامل منجر می‌شود و با افزایش ضخامت این لایه، جریان روشن و درنتیجه، نسبت I_{ON}/I_{OFF} در ساختارهای ناهمگون افزایش می‌یابد (شکل ٦ (ج)). شکل ٦ (د) نشان می‌دهد که تأثیر تغییر طول کانال در ادوات برپایه سیلیکون نیز با افزاره‌های برپایه AlGaN/GaN مشابهت دارد، فقط در دیود اثر میدانی مبتنی بر هر دو ماده، افزایش I_{ON}/I_{OFF} در مقایسه با نمونه‌های ترانزیستوری متناظر چشمگیرتر است. علت این اختلاف بدین شرح است: در MOSFET، جریان درین در حالت‌های کاری خطی و اشباع، به‌طور مستقیم به W/L وابستگی دارد و افزایش طول کانال، به کاهش I_{ON} می‌انجامد (عرض ثابت ۱ میکرومتر). با وجود این، کاهش قابل توجه I_{OFF}، درنهایت، موجب افزایش نسبت I_{ON}/I_{OFF} می‌شود. در دیود اثر میدانی (پیوند p-n)، جریان در حالت کاری روشن به‌طور مستقیم به سطح مقطع وابستگی دارد و بنابراین، با افزایش طول کانال Si-FED، I_{ON} افزایش می‌یابد. در حالت خاموش FED نیز افزایش طول کانال، نرخ بازترکیب حامل‌های اقلیت را افزایش می‌دهد و به کاهش I_{OFF} و افزایش I_{ON}/I_{OFF} می‌انجامد. همچنین، تأثیر تغییر ضخامت کانال در ادوات ترانزیستور اثر میدانی و دیود اثر میدانی در نسبت I_{ON}/I_{OFF} متفاوت است (شکل ٦ (ه)). افزایش عمق کانال در MOSFET، به القای بیشتر حامل‌ها، از سورس و درین به داخل کانال، منجر می‌شود و I_{ON} افزایش می‌یابد. در Si-FED، با افزایش عمق کانال در هر دو حالت روشن (حالت B) و خاموش (حالت E)، جریان‌ها افزایش می‌یابند. با وجود این، افزایش I_{OFF} بر افزایش I_{ON} پیشی می‌گیرد و درنهایت، به کاهش نسبت I_{ON}/I_{OFF} می‌انجامد. علت این امر، القای حامل‌های الکترون (حفره) بیشتر، در ناحیه نوع p (n) زیر GS (GD)، در حالت خاموش افزاره و افزایش بازترکیب حامل‌ها، در نواحی زیر گیت‌ها و درنتیجه، افزایش I_{OFF} است.



شکل ۵. ترسیم نوارهای انرژی در ساختارهای (الف) AlGaN/GaN HEMFE، (ب) AlGaN/GaN HEMT و (ج) مقایسه میدان‌های الکتریکی





شکل ٦. نمایش تغییرات نسبت I_{ON}/I_{OFF} برحسب پارامترهای هندسی افزاره‌های مورد بررسی

نتایج حاصل از بررسی تأثیر طول و ضخامت کانال در نسبت I_{ON}/I_{OFF} افزاره‌های n-MOS و Si-FED در نمودارهای (٦ (د) و ٦ (ه))، با گزارش‌های مشابه در مقیاس نانومتر، به‌خوبی مطابقت دارد [۲۳]. به‌علاوه، با توجه به قابلیت کنترل مؤثرتر گیت‌ها بر رفتار باربرهای موجود در کانال FED در مقایسه با MOSFET و وجود پیوند p-n بایاس معکوس در میانه کانال در حالت خاموش FED، اختلاف مرتبه بزرگی جریان‌های خاموشی در این دو افزاره در مقیاس نانومتری محسوس‌تر است. ویژگی I_{ON}/I_{OFF} برحسب طول کانال، برای ساختارهای MOSFET بالک، SOI، دوگیتی [۳۸] و همچنین ترانزیستور اثر میدانی برجسته[1] (FinFET) [۳۹] و ترانزیستور اثر میدانی ساخته شده با نانولوله‌های کربنی[2] (CNTFET) [٤٠] از افزایش این نسبت با افزایش طول کانال افزاره‌ها تا ۱۸۰ نانومتر با بیشینه مقدار، به‌ترتیب، ٥، ٦، ۷، ۷ و ۷ مرتبه بزرگی حکایت دارد. درحالی‌که به‌کارگیری Si-FED، این نسبت را تا بیش از ۸ مرتبه بزرگی افزایش می‌دهد.

٤- نتیجه‌گیری

در این پژوهش، افزاره‌ای به‌نام دیود اثر میدانی با تحرک الکترونی بالا (HEMFED)، مبتنی بر AlGaN/GaN، با قابلیت کاربرد در مدارهای دیجیتالی با چگالی بالا، سرعت بالا و جریان نشتی پایین، در ازای پیچیدگی ساخت معرفی شد. همچنین، ویژگی‌های خروجی و نسبت I_{ON}/I_{OFF} در افزاره پیشنهادی، با ادوات SOI-MOSFET مرسوم، GaN HEMT مرسوم و SOI-FED سیلیکونی، در ابعاد هندسی متفاوت مقایسه شد. نتایج به‌دست‌آمده، برتری افزاره پیشنهادی را از نظر پارامتر عملکردی I_{ON}/I_{OFF}، تا بیش از ٤، ۷ و ۸ مرتبه اندازه بزرگ‌تر، در مقایسه با نمونه‌های متناظر، به‌ترتیب، Si FED، HEMT و MOSFET نشان داد. افزایش اختلاف انرژی نوار هدایت در کانال 2-DEG متناظر با میدان الکتریکی شدید تشکیل شده در این ناحیه، به میزان ۸۰۰ کیلوولت بر سانتی‌متر، بر تحرک بالای الکترون‌ها در کانال افزاره HEMFED مبتنی بر AlGaN/GaN دلالت داشت. علاوه بر مزایای ذکرشده برای دیود اثر میدانی پیشنهادی در این پژوهش، امکان به‌کارگیری افزاره‌های HEMFED مشابه با پارامترهای هندسی یکسان در شبکه‌های بالابرنده و پایین‌برنده مدارهای مبتنی بر این افزاره نیز فراهم شده، که به‌دلیل نسبت W/L یکسان در تمام آن‌ها، به کاهش مساحت و افزایش چگالی روی تراشه‌های نسل جدید کمک می‌کند.

٥- سپاسگزاری

شایسته است از پشتیبانی همکاران حاضر در آزمایشگاه ادوات نانوساختار الکترونیکی دانشکده مهندسی برق دانشگاه خواجه نصیرالدین طوسی در انجام این پژوهش تشکر و قدردانی گردد.

مراجع

1. Mukhopadhyay, S., Kalita, S., "Review on the designs and characteristics of high-electron mobility transistors", ***International Journal of Microwave Engineering and Technology***, Vol. 4, No. 1, (2018), 20-41. https://doi.org/10.37628/ijmet.v4i1.765

[1] Fin Field-Effect Transistor
[2] Carbon Nanotube Field-Effect Transistor

ACS Nano, Vol. 14, No. 3, (2020), 2709-2717. https://doi.org/10.1021/acsnano.9b07207

18. Wong, K. L., Chuan, M. W., Hamzah, A., Rusli, S., Alias, N. E., Sultan, S. M., Lim, C. S., Tan, M. L. P., "Carrier transport of rough-edged doped GNRFETs with metal contacts at various channel widths", ***Superlattices and Microstructures***, Vol. 143, (2020), 106548. https://doi.org/10.1016/j.spmi.2020.106548
19. Dabir, F., Sarraf-Mamoory, R., Riahi-Noori, N., Loeblein, M., Teo, E. H. T., "Synthesis and electrical properties evaluation of three-dimensional graphene", ***Jouurnal of Advanced Materials and Technologies (JAMT)***, Vol. 4, No. 3, (2015), 17-23. https://doi.org/10.30501/JAMT.2637.70303
20. He, Y., Huang, Z., Zhang, M., Wu, M., Mi, M., Wang, C., Yang, L., Zhang. C., Guo, L., Ma, X., Hao, Y., "Temperature-dependent characteristics of AlGaN/GaN nanowire channel high electron mobility transistors", ***Applications and Materials Science***, Vol. 216, No. 16, (2019), 1900396. https://doi.org/10.1002/pssa.201900396
21. Purwaningsih, S. Y., Zainuri, M., Triwikantoro, T., Pratapa, S., Darminto, D., "Structural, optical and defect state analyses of ZnO nanoparticle films", ***International Journal of Engineering***, Vol. 33, No. 5, (2020), 852-860. https://doi.org/10.5829/ije.2020.33.05b.17
22. Raissi, F., "A brief analysis of the field effect diode and breakdown transistor", ***IEEE Transactions on Electron Devices***, Vol. 43, No. 2, (1996), 362-365. https://doi.org/10.1109/16.481742
23. Manavizadeh, N., Raissi, F., Soleimani, E. A., Pourfath, M., Selberherr, S., "Performance assessment of nanoscale field-effect diodes", ***IEEE Transactions on Electron Devices***, Vol. 58, No. 8, (2011), 2378-2384. https://doi.org/10.1109/TED.2011.2152844
24. Manavizadeh, N., Raissi, F., Soleimani, E. A., Pourfath, M., "Geometrical study of nanoscale field effect diodes", ***Semicondoctor Science and Technology***, Vol. 27, No. 4, (2012), 045011. https://doi.org/10.1088/0268-1242/27/4/045011
25. Touchaee, B. J., Manavizadeh, N., "An inverter gate design based on nanoscale S-FED as a function of reservoir thickness", ***IEEE Transactions on Electron Devices***, Vol. 62, No. 10, (2015), 3147-3152. https://doi.org/10.1109/TED.2015.2463099
26. Salman, A. A., Beebe, S. G., Emam, M., Pelella, M. M., Ioannou, D. E., "Field Effect Diode (FED): A novel device for ESD protection in deep sub-micron SOI technologies", ***Proceedings of International Electron Devices Meeting***, San Francisco, CA, USA, 11-13 December 2006, (2006), 1-4. https://doi.org/10.1109/IEDM.2006.346971
27. Touchaee, B. J., Manavizadeh, N., "Design and simulation of low-power logic gates based on nanoscale side-contacted FED", ***IEEE Transactions on Electron Devices***, Vol. 64, No. 1, (2017), 306-311. https://doi.org/10.1109/TED.2016.2626342
28. Ghafouri, T., Manavizadeh, N., "Design and simulation of high-performance 2:1 multiplexer based on side-contacted FED", ***Ain Shams Engineering Journal***, Vol. 12, No. 1, (2021), 709-716. https://doi.org/10.1016/j.asej.2020.05.005
29. Badwan, A. Z., Chbili, Z., Li, Q., Ioannou, D. E., "SOI FED-SRAM cell: Structure and operation", ***IEEE Transactions on Electron Devices***, Vol. 62, No. 9, (2015), 2865-2870. https://doi.org/10.1109/TED.2015.2450693
30. Ghafouri, T., Manavizadeh, N., "Noise-immune 6T SRAM bit-cells based on side-contacted FED", ***IEEE Transactions on Electron Devices***, Vol. 67, No. 12, (2020), 5511-5519. https://doi.org/10.1109/TED.2020.3028342
31. Ghafouri, T., Manavizadeh, N., "Performance comparison of 6T SRAM bit-cells based on side-contacted FED and CMOS", ***Alexandria Engineering Journal***, Vol. 59, No. 5, (2020), 3715-3729. https://doi.org/10.1016/j.aej.2020.06.026
32. Badwan, A. Z., Chbili, Z., Yang, Y., Salman, A. A., Li, Q., Ioannou, D. E., "SOI Field-Effect Diode DRAM cell: Design and operation", ***IEEE Electron Device Letters***, Vol. 34, No. 8, (2013), 1002-1004. https://doi.org/10.1109/LED.2013.2265552
33. Alim, M. A., Jahan, I., Nipu, N. J., Naher, S., Rezazadeh, A. A., "Local mismatch and noise investigation for pre and post multilayer pHEMTs", ***Current Applied Physics***, Vol. 20, No. 12, (2020), 1314-1320. https://doi.org/10.1016/j.cap.2020.09.006

2. Zeng, F., An, J. X., Zhou, G., Li, W., Wang, H., Duan, T., Jiang, L., Yu, H., "A comprehensive review of recent progress on GaN high electron mobility transistors: Devices, fabrication and reliability", ***Electronics***, Vol. 7, No. 12, (2018), 377. https://doi.org/10.3390/electronics7120377
3. Chen, W., Wong, K. Y., Huang, W., Chen, K. J., "High-performance AlGaN/GaN lateral field-effect rectifiers compatible with high electron mobility transistors", ***Applied Physics Leters***, Vol. 92, (2008), 253501. https://doi.org/10.1063/1.2951615
4. Lee, G. Y., Liu, H. H., Chyi, J. I., "High-performance AlGaN/GaN schottky diodes with an AlGaN/AlN buffer layer", ***IEEE Electron Device Letters***, Vol. 32, No. 11, (2011), 1519-1521. https://doi.org/10.1109/LED.2011.2164610
5. Yoshida, S., Li, J., Ikeda, N., Hataya, K., "AlGaN/GaN field effect Schottky barrier diode (FESBD)", ***Physica Status Solidi (c)***, Vol. 2, No. 7, (2005), 2602-2606. https://doi.org/10.1002/pssc.200461300
6. Narang, K., Bag, R. K., Singh, V. K., Pandey, A., Saini, S. K., Khan, R., Arora, A., Padmavati, M. V. G., Tyagi, R., Singh, R., "Improvement in surface morphology and 2DEG properties of AlGaN/GaN HEMT", ***Journal of Alloys and Compounds***, Vol. 815, (2020), 152283. https://doi.org/10.1016/j.jallcom.2019.152283
7. Ghafouri, T., Salehi, A., Mahmoodnia, H., "Investigating a novel normally-ON AlGaN/GaN capped PHEMT and the effects of cap layers thickness on its gate leakage current", ***Proceedings of 26th Iranian Conference on Electrical Engineering (ICEE)***, Mashhad, Iran, 8-10 May 2018, (2018), 305-310. https://doi.org/10.1109/ICEE.2018.8472634
8. Lee, I., Kim, J. N., Kang, W. T., Shin, Y. S., Lee, B. H., Yu, W. J., "Schottky barrier variable graphene/multilayer-MoS_2 heterojunction transistor used to overcome short channel effects", ***ACS Applied Matererials and Interfaces***, Vol. 12, No. 2, (2020), 2854-2861. https://doi.org/10.1021/acsami.9b18577
9. Banerjee, P., Sarkar, S. K., "3-D analytical modeling of high-k gate stack dual-material tri-gate strained silicon-on-nothing MOSFET with dual-material bottom gate for suppressing short channel effects", ***Journal of Computational Electronics***, Vol. 16, (2017), 631-639. https://doi.org/10.1007/s10825-017-1002-y
10. Dash, D. K., Saha, P., Sarkar, S. K., "3-D analytical modeling of triple metal tri-gate graded channel high-k SON TFET for improved performance", ***Silicon***, Vol. 12, (2020), 2041-2052. https://doi.org/10.1007/s12633-019-00268-5
11. Vimala, P., Samuel, T. S. A., "Investigation of cylindrical channel gate all around InGaAs/InP heterojunction heterodielectric tunnel FETs", ***Silicon***, (2020). https://doi.org/10.1007/s12633-020-00691-z
12. Masoudi, A., Ahangari, Z., Fathipour, M., "Performance optimization of a nanoscale GaSb p-channel electron-hole bilayer tunnel field effect transistor using metal gate workfunction engineering", ***Materials Research Express***, Vol. 6, No. 9, (2019), 096311. https://doi.org/10.1088/2053-1591/ab30b0
13. Abdi, D. B., Kumar, M. J., "In-built n^+ pocket p-n-p-n tunnel field-effect transistor", ***IEEE Electron Device Letters***, Vol. 35, No. 12, (2014), 1170-1172. https://doi.org/10.1109/LED.2014.2362926
14. Kaneko. M., Nakajima, M., Jin. Q., Kimoto, T., "Experimental study on short-channel effects in double-gate silicon carbide JFETs", ***IEEE Transactions on Electron Devices***, Vol. 67, No. 10, (2020), 4538-4540. https://doi.org/10.1109/TED.2020.3017143
15. Singh, A., Chaudhury, S., Pandey, C. K., Sharma, S. M., Sarkar, C. K., "Design and analysis of high k silicon nanotube tunnel FET device", ***IET Circuits, Devices and Systems***, Vol. 13, No. 8, (2019), 1305-1310. https://doi.org/10.1049/iet-cds.2019.0230
16. Moalaghi, M., Koohisaadi, A., Talebnia, P., Manavizadeh, N., Lemraski, M. S., "Improving electronic parameters of silicon nanowires by arsenic and phosphor dopants", ***Jouurnal of Advanced Materials and Technologies (JAMT)***, Vol. 4, No. 4, (2015), 11-17. https://doi.org/10.30501/JAMT.2636.70311
17. Gaulke, M., Janissek, A., Peyyety, N. A., Alamgir, I., Riaz, A., Dehm, S., Li, H., Lemmer, U., Flavel, B. S., Kappes, M. M., Hennrich, F., Wei, L., Chen, Y., Pyatkov, F., Krupke, R., "Low-temperature electroluminescence excitation mapping of excitons and trions in short-channel monochiral carbon nanotube devices",

Engineering, Dhaka, Bangladesh, 20-22 December 2016, (2016), 123-126. https://doi.org/10.1109/ICECE.2016.7853871

39. Kim, T. K., Kim, D. H., Yoon, Y. G., Moon, J. M., Hwang, B. W., Moon, D. I., Lee, G. S., Lee, D. W., Yoo, D. E., Hwang, H. C., Kim, J. S., Choi, Y. K., Cho, B. J., Lee, S. H., "First demonstration of junctionless accumulation-mode bulk FinFETs with robust junction isolation", ***IEEE Electron Device Letters***, Vol. 34, No. 12, (2013), 1479-1481. https://doi.org/10.1109/LED.2013.2283291
40. Kordrostami, Z., Sheikhi, M. H., Zarifkar, A., "Influence of channel and underlap engineering on the high-frequency and switching performance of CNTFETs", ***IEEE Transactions on Nanotechnology***, Vol. 11, No. 3, (2012), 526-533. https://doi.org/10.1109/TNANO.2011.2181998
34. Table PIDS2a High-Performance (HP) Logic Technology Recruitment, Process Integration, Devices, and Structures (PIDS), (2018). http://www.itrs.net/
35. ***ATLAS user's manual device simulation software***, Santa Clara, CA, USA, Silvaco, (2018). https://dynamic.silvaco.com
36. Datta, S., ***Quantum transport: Atom to transistor***, First edition, Cambridge University Press, (2005). https://cds.cern.ch
37. Mita, J., Toda, F., Marui, T., ***Method for fabricating AlGaN/GaN-HEMT using selective regrowth***, U.S. patent, US 20080176366 A1, (2008). https://patents.google.com/patent/US20080176366A1 (Accessed: 24 July 2008).
38. Saha, J. K., Chakma, N., Hasan, M., "Impact of scaling channel length on the performances of nanoscale FETs", ***Proceedings of 9th International Conference on Electrical and Computer***